## 实验二 移位寄存器实验

### 实验目的

1. 掌握移位寄存器的工作原理

2. 掌握Modelsim软件的使用方法

3. 掌握Vivado软件的开发流程；锻炼使用Verilog语言描述硬件的能力

4. 熟悉移位寄存器的HDL描述方法，理解其工作特性；

### 实验原理

实验原理图如图1-1，长方形框内是在FPGA内部设计的实验电路。定义了2个双向移位寄存器194、输入数据DATA，由时钟CLK、Reset、S1、S0分别移位寄存器的操作。

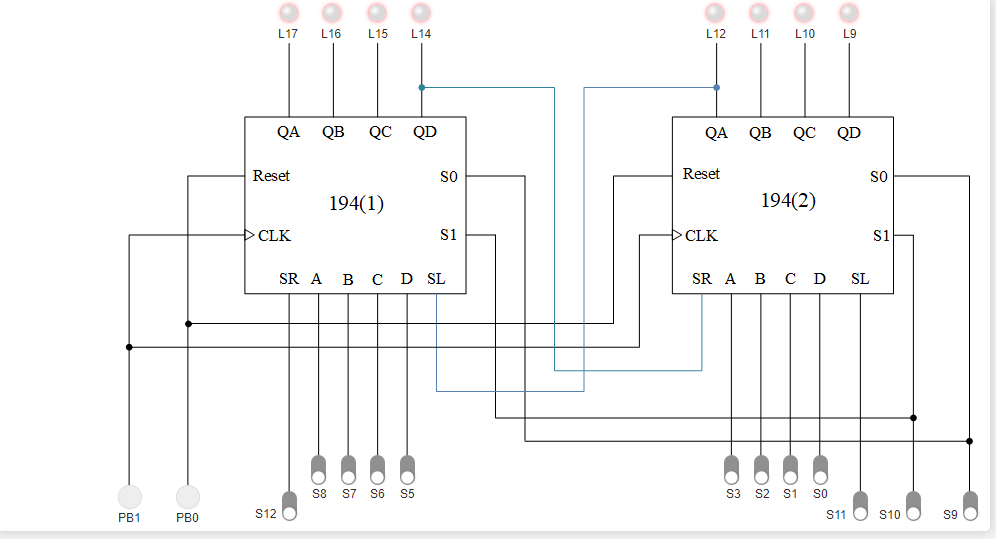


图 1-1 实验二虚拟面板示意图

### 实验内容

1. **基础实验**。验证功能，并操作分析、记录结果。

利用2片194实现一个8位双向移位寄存器，并在虚拟面板上验证移位寄存器的功能（接收数据、左移、右移），并操作分析、记录结果。

（1）移位寄存器的特性

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **DATA**  **S8-S5 S4-S0** | **SR** | **SL** | **S1** | **S0** | **CLK** | **RESET** | **SR\_Q**  **L17-L14 L12-L9** |
| 复位 |  | **——** |  | **——** | **——** | **——** |  |  |
| 直送 |  | 0 | 0 | 0 | 0 |  | 0 |  |
|  | 1 | 1 | 1 | 1 |  | 0 |  |
| 左移 |  | 0 | 0 | 1 | 0 |  | 0 |  |
|  | 1 | 1 | 1 | 0 |  | 0 |  |
| 右移 |  | 0 | 0 | 0 | 1 |  | 0 |  |
|  | 1 | 1 | 0 | 1 |  | 0 |  |
| 锁存 |  | 0 | 0 | 0 | 0 |  | 0 |  |
|  | 1 | 1 | 1 | 1 |  | 0 |  |

实验现象分析：

① 直送是将输入端数据装入到移位寄存器，既不左移也不右移。

② 左移和右移的信号分别是\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_。

③ 本实验设计的移位寄存器是对移位寄存器进行\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_移位。

1. 提高实验

（1）用Verilog硬件描述语言实现一个2选1多路选择器MUX2\_1、4选1多路选择器MUX4\_74153，并用Modelsim软件进行仿真测试。

① 说明：

通过BA控制输出Y选择D0-D3

② 代码：

`timescale 1ns / 1ps

module mux4\_74153 (G, B, A,

D0, D1, D2, D3, Y);

input G, B, A;

input D0, D1, D2, D3;

output Y;

endmodule

1. 仿真波形：

（2）设计一个4位双向移位寄存器（SR194），并用Modelsim软件进行仿真测试。另外在Vivado环境下进行综合、仿真、调试，并下载到Digilent Nexys4 FPGA开发板进行验证。

**4位双向移位寄存器（SR194）**，功能类似芯片74LS194，具体如下：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 类 别 | 电路  简称 | 真 值 表 | | | | | 电 路 引 脚 图 |
| 4位并入并出移位寄存器 | 74194 | 输 入 | | | | 输 出 |  |
| CLR | S1 S0 | CLK | SL SR | QA~QD |
| 0  1  1  1  1  1  1 | × ×  0 0  1 1  0 1  0 1  1 0  1 0 | ×  0  ↑  ↑  ↑  ↑  ↑ | × ×  × ×  × ×  × 0  × 1  0 ×  1 × | 清除，全0  禁止时钟，保持  并接A~D，置数  右移，移入0  右移，移入1  右移：QA→QD  左移，移入0  左移，移入1  左移：QA←QD |

图1-2 四位移位寄存器引脚图

说明：

① CLR为清零信号，为0时QA-QD全置0

CLK时钟上升沿时通过S1、S0、SL、SR控制输出信号QA-QD。S1S0为11时把输入A-D写入QA-QD；S1S0为01时右移QA->QD，SR为0时QA移入0，SR为1时QA移入1；S1S0为10时左移QA<-QD, SL为0时QD移入0， SL为1时QD移入1。

② 部分代码：

`timescale 1ns / 1ps

module REG\_74194 (CLR, S1, S0, CLK, SL, SR, A, B, C, D, QA, QB, QC, QD);

input CLR, S1, S0, CLK, SL, SR;

input A, B, C, D;

output QA, QB, QC, QD;

reg QA, QB, QC, QD;

endmodule

1. 仿真波形：

（3）利用（2）设计的2个双向4位移位寄存器SR194（功能类似74LS194），实现一个双向8位移位寄存器，用Modelsim软件进行仿真测试，并利用Vivado平台进行综合、仿真、调试，下载到Digilent Nexys4 FPGA开发板进行验证，接收开关的数据输入，并用指示灯观察数据的输出。

具体连线方法是：将其中一片SR194的QD接到SR端，而将另一片的QA接到SL端，同时把两片的S1、S0、CLK、CLR端分别并联起来。如下图所示。

说明：A、B、C、D、SR、SL、S1、S0接开关，CLK、CLR接按键，QA、QB、QC、QD接指示灯。

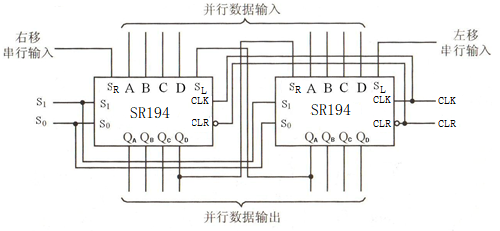


图1－3 8位移位寄存器的电路图

虚拟面板上输入输出分配如下：

输入：CLK: PB1

RESET（CLR）:PB0

右边寄存器输入 S[3]~S[0] (A~D)

左边寄存器输入 S[8]~S[5] (A~D)

S1,S0: S[10],S[9]

SR ,SL:S[12],S[11]

输出：左边寄存器输出：LED[17:14]

右边寄存器输出：LED[12:9]